

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 1 月 13 日 (13.01.2005)

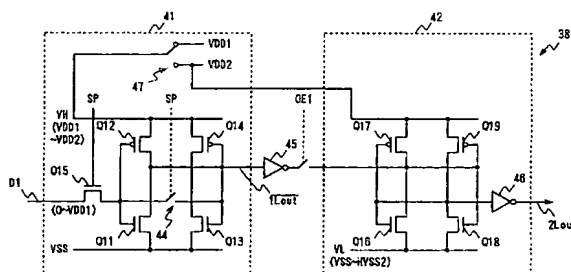
PCT

(10) 国際公開番号
WO 2005/004102 A1

- (51) 国際特許分類⁷: G09G 3/36, H03K 3/356 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2004/009902 (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (22) 国際出願日: 2004 年 7 月 6 日 (06.07.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-192626 2003 年 7 月 7 日 (07.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 木田 芳利 (KIDA, Yoshitoshi) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 仲島 義晴 (NAKAJIMA, Yoshiharu) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 多田 繁範 (TADA, Shigenori); 〒1700013 東京都豊島区東池袋 2 丁目 4 5 番 2 号 ステラビル501 多田特許事務所 Tokyo (JP).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DATA TRANSFERRING CIRCUIT AND FLAT DISPLAY DEVICE

(54) 発明の名称: データ転送回路及びフラットディスプレイ装置



(57) Abstract: A data transferring circuit applicable to, for example, a liquid crystal display device having a driver circuit integrally formed on an insulating board. In the data transferring circuit, only an inverted or non-inverted output of latch result of a first latch part (41) is transferred as data to a second latch part (42). At least while the data is transferred to the second latch part (42), the power supply voltage of the first latch part (41) is caused to rise.

(続葉有)



(57) 要約:

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用してなるデータ転送回路であって、第1ラッチ部(41)のラッチ結果の反転出力のみ、又は非反転出力のみ第2ラッチ部(42)にデータ転送するようにし、少なくともこの第2ラッチ部(42)にデータ転送する期間の間、第1ラッチ部(41)の電源電圧を立ち上げるデータ転送回路である。

明細書

データ転送回路及びフラットディスプレイ装置

発明の背景

5

技術分野

本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、第1ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第2ラッチ部にデータ転送するようにし、少なくともこの第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げることにより、TFT等による構成において、データ転送に係る構成を簡略化することができる。

背景技術

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

すなわち第1図は、この種の液晶表示装置を示すブロック図である。この液晶表示装置1は、液晶セル2、この液晶セル2のスイッチング素子であるポリシリコンTFT（Thin Film Transistor：薄膜トランジスタ）3、図示しない保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状による表示部4が形成される。この液晶表示装置1では、このようにして表示部4に形成される各画素へのカラーフィルタの配置により、水平方向に、赤色、緑色、青色の画素R、G、Bを順次循環的に繰り返し、これら赤色、緑色、青色の画素R、G、Bを1組とした240組により水平方向の画素が形成されて表示部4が形成される。この液晶表示装置1では、これら赤色、緑色、青色の画素R、G、Bの階調を指示する各6ビットの階調データR0～R5、G0～G5、B0～B5が同時並列的にラスタ走査の順序により入力され、この階調データD1（R0～R5、G0～G5、B0～B5）により各画素を駆動して所望の画像を

表示するようになされている。

液晶表示装置 1 においては、この表示部 4 の信号線 S L 及びゲート線 S G がそれぞれ水平駆動回路 5 及び垂直駆動回路 6 に接続され、水平駆動回路 5 は、階調データ D 1 に基づいて各信号線 S L に対応する画素の駆動信号を出力し、垂直駆動回路 6 は、この水平駆動回路 5 による信号線 S L への駆動信号の出力に対応してゲート線 S G の制御によりライン単位で表示部 4 の画素を選択する。これにより液晶表示装置 1 では、これら水平駆動回路 5 及び垂直駆動回路 6 により表示部 4 の各画素を駆動して所望の画像を表示するようになされている。

具体的に、水平駆動回路 5 は、例えば特開 2 0 0 0 - 2 4 2 2 0 9 号公報に開示されているように、複数の基準電圧 V 0 ~ V 6 3 を階調データに応じて選択することにより、階調データ D 1 をディジタルアナログ変換処理して駆動信号を生成するようになされている。すなわち水平駆動回路 5 は、水平方向への画素の配置に対応して設けられてなるサンプリングラッチ回路 (S L) 8 により順次循環的に階調データ D 1 の対応するビット R 0 ~ R 5 、 G 0 ~ G 5 、 B 0 ~ B 5 をサンプリングすることにより、この階調データ D 1 を 1 ライン単位でまとめ、対応する基準電圧セクタ 9 に出力する。基準電圧発生回路 1 0 は、階調データ D 1 の各階調に対応する複数の基準電圧 V 0 ~ V 6 3 を生成して出力する。基準電圧セクタ 9 は、それぞれサンプリングラッチ回路 8 の出力データにより、この基準電圧発生回路 1 0 から出力される基準電圧 V 0 ~ V 6 3 を選択することにより、対応する階調データ D 1 をディジタルアナログ変換処理してなる駆動信号を出力する。バッファ回路 1 1 は、この駆動信号を対応する信号線 S L に出力する。

第 2 図は、このようにして構成される水平駆動回路 5 において、サンプリングラッチ回路 8 の 1 ビット分の構成を示す接続図である。サンプリングラッチ回路 8 においては、対応する画素の水平方向の位置に対応するタイミングにより第 1 ラッチ部 2 1 で階調データ D 1 をラッチして保持した後、垂直ブランキング期間に設定された所定のタイミングで第 1 ラッチ部 2 1 のラッチ結果を第 2 ラッチ部 2 2 に転送して出力し、これにより階調データをライン単位でまとめて基準電圧セクタ 9 に出力する。ここでこの種のサンプリングラッチ回路 8 等を構成する低温ポリシリコン T F T 等の絶縁基板上に形成されるアクティブ素子においては

、その特性にばらつきが大きい。このためサンプリングラッチ回路8においては、ラッチ結果の反転出力、非反転出力を出力する、いわゆる両相出力により第2ラッチ部22にラッチ結果を出力し、第1ラッチ部21及び第2ラッチ部22間で安定かつ確実にラッチ結果をデータ転送するようになされている。

- 5 すなわちこのサンプリングラッチ回路8において、第1ラッチ部21は、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ2からなるCMOSインバータと、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSトランジスタQ3及びPMOSトランジスタQ4からなるCMOSインバータとが電源電圧VCCの正側電源ラインと電圧VSSの負側電源ラインとの間に並列に設けられる。第1ラッチ部21は、トランジスタQ1及びQ2によるインバータ出力が、トランジスタQ3及びQ4によるインバータに入力され、またサンプリングパルスspの反転信号xspにより動作するPMOSトランジスタQ5を介して、トランジスタQ3及びQ4による
- 10 インバータ出力が、トランジスタQ1及びQ2によるインバータに入力され、さらにサンプリングパルスspにより動作するPMOSトランジスタQ6を介して、トランジスタQ1及びQ2によるインバータに階調データD1が入力される。
- 15

- これによりサンプリングラッチ回路8は、トランジスタQ1～Q6により比較器構成のCMOSラッチセルが形成され、第3図（A）～（D）により示すよう
- 20 に、サンプリングパルスspにより階調データD1をラッチするようになされ、このラッチのタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。

- サンプリングラッチ回路8は、この第1ラッチ部21によるラッチ結果の反転出力、非反転出力をそれぞれ転送スイッチ24、25を介して第2ラッチ部22
- 25 に入力する。ここでこの転送スイッチ24、25は、例えば水平ブランキング期間の立ち上がりのタイミングでオン状態に切り換わる（図9（E））。

第2ラッチ部22は、NMOSトランジスタQ7及びPMOSトランジスタQ8からなるCMOSインバータと、NMOSトランジスタQ9及びPMOSトランジスタQ10からなるCMOSインバータとによりラッチセルが形成され、転

- 送スイッチ 24、25 を介して入力されるラッチ結果の反転出力、非反転出力がそれぞれトランジスタ Q7、Q8 による CMOS インバータ、トランジスタ Q9、Q10 による CMOS インバータに入力される。これによりサンプリングラッチ回路 8 は、水平ブランキング期間の立ち上がりのタイミングで、第 1 ラッチ部
- 5 21 のラッチ結果をデータ転送して第 2 ラッチ部 22 でラッチし（第 3 図（F））、このラッチ結果をインバータ 26 より出力するようになされている。なお第 2 ラッチ部 22 においては、正側電源及び負側電源の設定により、続く基準電圧セクタ 9 における処理に適するように、ラッチ出力をレベルシフトさせて出力する場合もある。
- 10 ところでこのように両相によりラッチ結果等をデータ転送する場合、単相によるデータ転送に比して、構成が煩雑になる問題がある。このようなデータ転送に係る構成を簡略化することができれば、その分、全体構成を簡略化し得、この種の表示装置においては、いわゆる狭額縁化することができる。また消費電力も少なくすることができる。

15

発明の開示

- 本発明は以上の点を考慮してなされたもので、TFT 等による構成において、データ転送に係る構成を簡略化することができるデータ転送回路及びフラットディスプレイ装置を提案しようとするものである。
- 20 かかる課題を解決するため本発明においては、入力データを第 1 ラッチ部でラッチし、第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送してラッチするデータ転送回路に適用して、第 1 ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第 2 ラッチ部にデータ転送すると共に、少なくとも第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ
- 25 部の電源電圧を立ち上げるようにする。

本発明の構成により、第 1 ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第 2 ラッチ部にデータ転送すれば、その分、反転出力、非反転出力の双方によりラッチ結果をデータ転送する場合に比して構成を簡略化することができる。また少なくとも第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデ

ータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにすれば、データ転送におけるマージンを拡大することができ、この拡大したマージンによりラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第2ラッチ部にデータ転送することによるマージンの減少を補い、安定かつ確実にラッチ結果をデータ転送することができる。

また本発明においては、フラットディスプレイ装置に適用して、階調データを順次循環的にサンプリングし、階調データに対応する列に振り分ける複数のラッチ回路と、ラッチ回路のラッチ結果により対応する列への出力信号レベルを設定するディジタルアナログ変換回路とを有し、各ラッチ回路は、第1ラッチ部のラッチ結果の反転出力のみ、又は第1ラッチ部のラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すると共に、少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにする。

これにより本発明の構成によれば、フラットディスプレイ装置のラッチ回路において、簡易な構成により安定かつ確実にラッチ結果をデータ転送することができる。

図面の簡単な説明

- 第1図は、液晶表示装置の構成を示すブロック図である。
- 第2図は、従来の液晶表示装置に適用されるサンプリングラッチ回路を示す接続図である。
- 第3図は、第2図のサンプリングラッチ回路の動作の説明に供するタイムチャートである。
- 第4図は、本発明の実施例に係るサンプリングラッチ回路を示す接続図である。
- 第5図は、第4図のサンプリングラッチ回路の動作の説明に供するタイムチャートである。

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 第1の実施例

第4図は、第2図との対比により、本発明の実施例に係る液晶表示装置に適用されるサンプリングラッチ回路の1ビット分の構成を示す接続図である。この実施例に係る液晶表示装置においては、このサンプリングラッチ回路38の構成が異なる点を除いて、第1図、第2図について上述した液晶表示装置1と同一に構成されることにより、重複した説明は省略する。

このサンプリングラッチ回路38においては、水平方向における画素の配置に対応するタイミングで第1ラッチ部41により階調データD1をラッチした後、水平ブランキング期間の所定のタイミングで、この第1ラッチ部41によるラッチ結果を第2ラッチ部42に転送してラッチし、続く基準電圧セクタ9に出力する。このサンプリングラッチ回路38は、これら第1ラッチ部41から第2ラッチ部42へのラッチ結果のデータ転送を単相により実行し、また単相によりデータ転送して不足するマージンを電源電圧の立ち上げにより確保する。

すなわちこのサンプリングラッチ回路38において、第1ラッチ部41は、NMOSトランジスタQ11及びPMOSトランジスタQ12からなるCMOSインバータ、NMOSトランジスタQ13及びPMOSトランジスタQ14からなるCMOSインバータとが正側電源VHと負側電源VSSとの間に並列に設けられる。第1ラッチ部41は、トランジスタQ11及びQ12によるインバータ出力が、トランジスタQ13及びQ14によるインバータに入力され、またサンプリングパルスspによりオフ動作するスイッチ回路44を介して、トランジスタQ11及びQ12によるインバータ入力、トランジスタQ13及びQ14によるインバータに入力され、さらにサンプリングパルスspによりオン動作するNMOSトランジスタQ15を介して、トランジスタQ11及びQ12によるインバータに階調データD1が入力される。

これによりサンプリングラッチ回路38は、トランジスタQ11～Q15によりCMOSラッチセルが形成され、第5図(A)～(C)により示すように、サンプリングパルスspによりスイッチ回路44をオフ状態に設定して階調データD1を取り込んだ後、スイッチ回路44をオン状態に設定して取り込んだ階調デ

ータD 1を保持するようになされ、これらラッチに係るタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。

さらに第1ラッチ部4 1は、スイッチ回路4 7による電源の選択により、これらラッチに係る処理が、前段の回路に係る電源電圧と等しい電圧2. 9 [V]の
5 電源VDD 1に設定された状態で実行される。また第2ラッチ部4 2にラッチ結果をデータ転送する直前で、ラッチ時に比して電圧の高い電圧5. 8 [V]の電源VDD 2が選択され、データ転送を完了すると、元の電源VDD 1が選択される。これによりこのサンプリングラッチ回路3 8では、少なくとも第1ラッチ部4 1から第2ラッチ部4 2にラッチ結果をデータ転送する期間の間、電源電圧を
10 立ち上げ、ラッチ結果を単相でデータ転送することにより低下するマージンを確保するようになされている。

第1ラッチ部4 1は、これにより転送スイッチ4 5を介して水平ブランキング期間の所定のタイミングで、ラッチ結果の振幅を拡大して第2ラッチ部4 2に転送し、この実施例では、このデータ転送に供するラッチ結果に反転出力が適用されるようになされている（第5図（C）～（E））。

第2ラッチ部4 2は、NMOSトランジスタQ 1 6及びPMOSトランジスタQ 1 7からなるCMOSインバータ、NMOSトランジスタQ 1 8及びPMOSトランジスタQ 1 9からなるCMOSインバータとが正側電源VDD 2と負側電源VLとの間に並列に設けられ、これらのCMOSインバータにより比較器回路
20 構成のラッチセルが形成され、このラッチセルに転送スイッチ4 5の出力が供給される。これにより第2ラッチ部4 2は、第1ラッチ部4 1のラッチ結果をラッチするようになされ、このラッチ結果をインバータ4 6を介して出力するようになされている。

さらに第2ラッチ部4 2は、この負側電源VLの設定により、基準電圧セクタ9における処理に適するように、ラッチ出力をレベルシフトさせて出力するようになされている。

（2）実施例の動作

以上の構成において、この液晶表示装置では（第1図）、表示に供する各画素の階調を示すデータの連続による階調データD 1が水平駆動回路5に入力され、

ここでこの階調データD1がサンプリングラッチ回路38により順次サンプリングされてライン単位でまとめられ、続く基準電圧セクタ9により各階調データに応じた基準電圧V0～V63が選択される。液晶表示装置1では、この基準電圧V0～V63の選択により各画素を駆動する駆動信号が生成され、この駆動信号が信号線SLにより表示部4に供給され、垂直駆動回路6により選択された画素にこの駆動信号が印加される。これにより液晶表示装置1では、表示部4の各画素を対応する階調データD1により駆動して所望の画像を表示する。

このようにして表示部4を駆動する水平駆動回路5において、このように階調データD1を順次循環的にサンプリングするサンプリングラッチ回路38では（第4図）、階調データD1の各ビットが対応するタイミングで第1のラッチ部41でラッチされた後、水平ブランキング期間の所定のタイミングで、各ビット、各サンプリングラッチ回路38で同時並列的に第2ラッチ部42に転送されてラッチされ、このラッチ結果が基準電圧セクタ9に出力される。これにより液晶表示装置1では、階調データD1がライン単位でまとめられ、基準電圧セクタ9によりデジタルアナログ変換処理される。

サンプリングラッチ回路38では、このような第1ラッチ部41から第2ラッチ部42へのデータ転送が、ラッチ結果の反転出力により実行され、これにより単相によりラッチ結果をデータ転送して、両相によりデータ転送する場合に比して、構成が簡略化される。具体的に、このようなデータ転送に係る転送スイッチにおいては、最低でもインバータ構成に係る2個のトランジスタが必要となる。これに対してこのように単相によりデータ転送する場合、この実施例では240組×3（赤色、緑色、青色分）×6ビット分の転送スイッチを省略し得、これにより両相によりデータ転送する場合に比して4320×2個のトランジスタを省略することができる。これによりこの液晶表示装置では、構成を簡略化して消費電力を低減することができ、さらにはいわゆる狭額縁化することができる。

またこのようにしてデータ転送する期間の間、第1ラッチ部41においては、電源電圧が立ち上げられ、これにより単相によりラッチ結果をデータ転送する際に低下するマージンが確保される。これにより液晶表示装置では、単相によりラッチ結果をデータ転送するようにして、安定かつ確実にラッチ結果を第2ラッチ

部４２にデータ転送することができる。

(３) 実施例の効果

以上の構成によれば、第１ラッチ部のラッチ結果の反転出力のみ第２ラッチ部にデータ転送するようにし、少なくともこの第２ラッチ部にデータ転送する期間
5 の間、第１ラッチ部の電源電圧を立ち上げることにより、ＴＦＴによる構成において、データ伝送に係る構成を簡略化することができる。

(４) 他の実施例

なお上述の実施例においては、第１ラッチ部のラッチ結果の反転出力のみ第２ラッチ部にデータ転送する場合について述べたが、本発明はこれに限らず、ラッチ結果の非反転出力のみ第２ラッチ部にデータ転送する場合にも広く適用すること
10 ができる。

また上述の実施例においては、ガラス基板上に表示部等を作成してなるＴＦＴ液晶に本発明を適用する場合について述べたが、本発明はこれに限らず、ＣＧＳ
(Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらにはＥＬ (Ele
15 ctro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

また上述の実施例においては、液晶表示装置に適用して、絶縁基板上に形成した低温ポリシリコンＴＦＴによるアクティブ素子により第１及び第２ラッチ部を構成する場合について述べたが、本発明はこれに限らず、絶縁基板上に形成される
20 各種アクティブ素子により第１及び第２ラッチ部を構成してデータ転送するデータ転送回路に広く適用することができる。

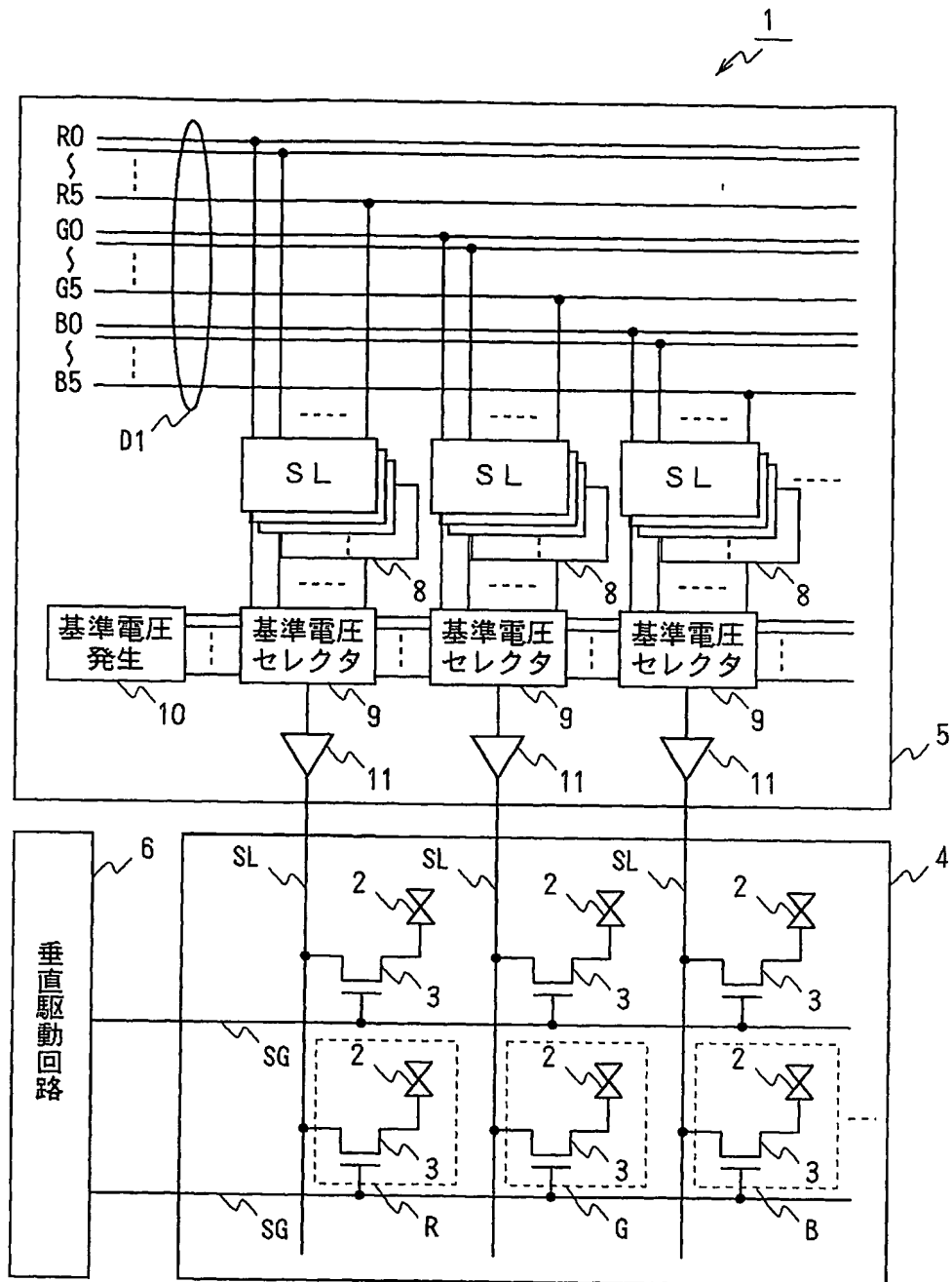
上述のように本発明によれば、第１ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第２ラッチ部にデータ転送するようにし、少なくともこの第２
25 ラッチ部にデータ転送する期間の間、第１ラッチ部の電源電圧を立ち上げることにより、ＴＦＴ等による構成において、データ伝送に係る構成を簡略化することができる。

本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

請求の範囲

1. 入力データを第1ラッチ部でラッチし、前記第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送してラッチするデータ転送回路において、
- 5 前記第1ラッチ部のラッチ結果の反転出力のみ、又は前記ラッチ結果の非反転出力のみ前記第2ラッチ部にデータ転送すると共に、
- 少なくとも前記第1ラッチ部のラッチ結果を前記第2ラッチ部にデータ転送する期間の間、前記第1ラッチ部の電源電圧を立ち上げる
- ことを特徴とするデータ転送回路。
- 10
2. 単相により前記第1ラッチ部のラッチ結果を転送する
- ことを特徴とする請求の範囲第1項に記載のデータ転送回路。
3. 各画素の明るさを示す階調データを順次入力し、所定の表示部に前記階調データによる画像を表示するフラットディスプレイ装置において、
- 15 前記階調データを順次循環的にサンプリングし、前記階調データを対応する列に振り分ける複数のラッチ回路と、
- 前記ラッチ回路のラッチ結果により前記対応する列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、
- 20 前記各ラッチ回路は、
- それぞれ対応するタイミングにより前記階調データを第1ラッチ部でラッチし、前記複数のラッチ回路で同時並列的に、前記第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送して前記デジタルアナログ変換回路に出力し、
- 前記第1ラッチ部のラッチ結果の反転出力のみ、又は前記第1ラッチ部のラッチ結果の非反転出力のみ前記第2ラッチ部にデータ転送すると共に、
- 25 少なくとも前記第1ラッチ部のラッチ結果を前記第2ラッチ部にデータ転送する期間の間、前記第1ラッチ部の電源電圧を立ち上げる
- ことを特徴とするフラットディスプレイ装置。

4. 単相により前記第1ラッチ部のラッチ結果を転送する
ことを特徴とする請求の範囲第3項に記載のフラットディスプレイ装置。



第1図

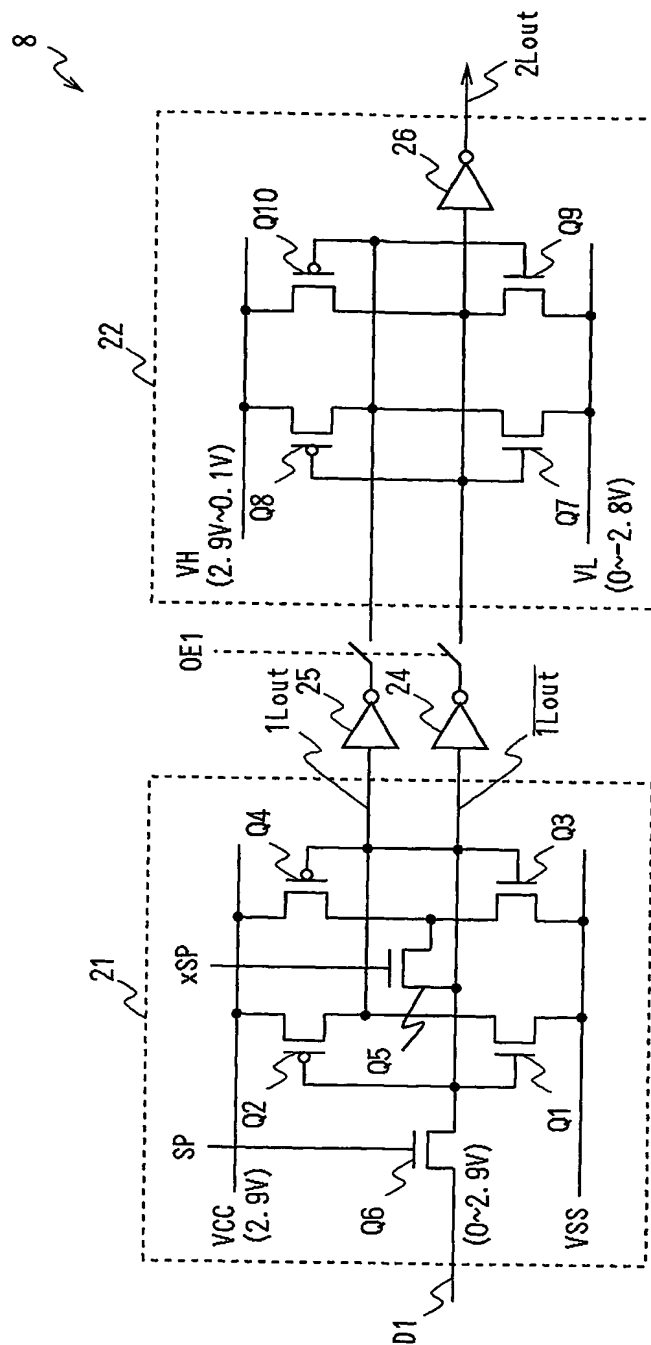
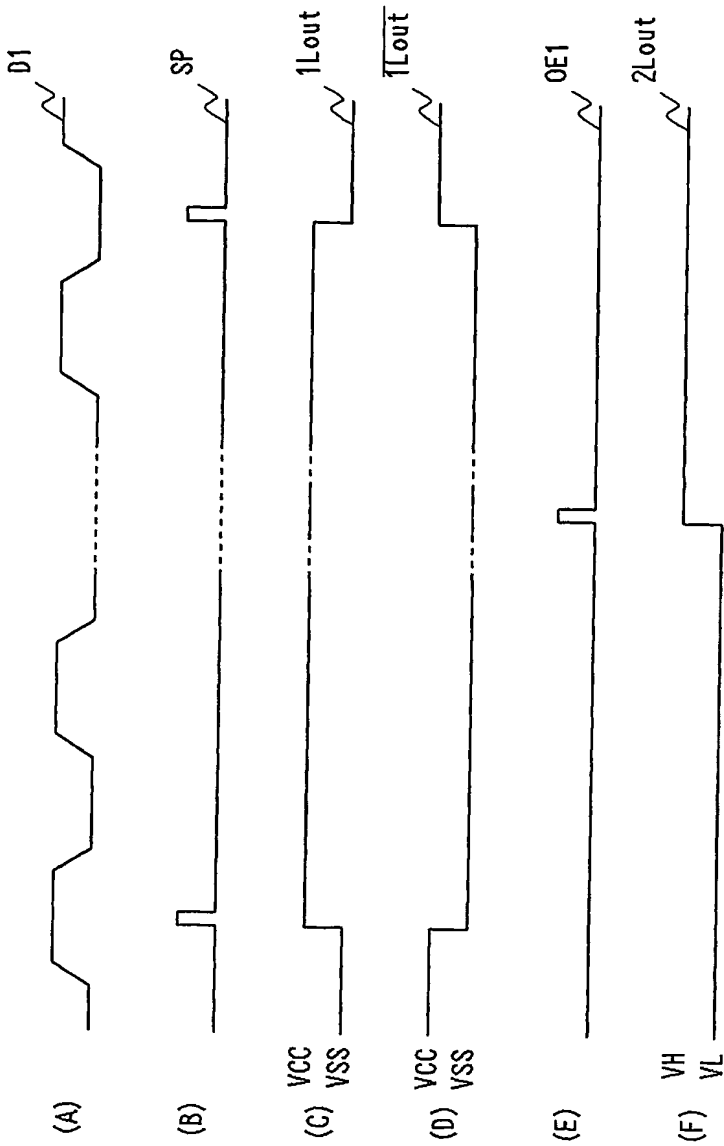
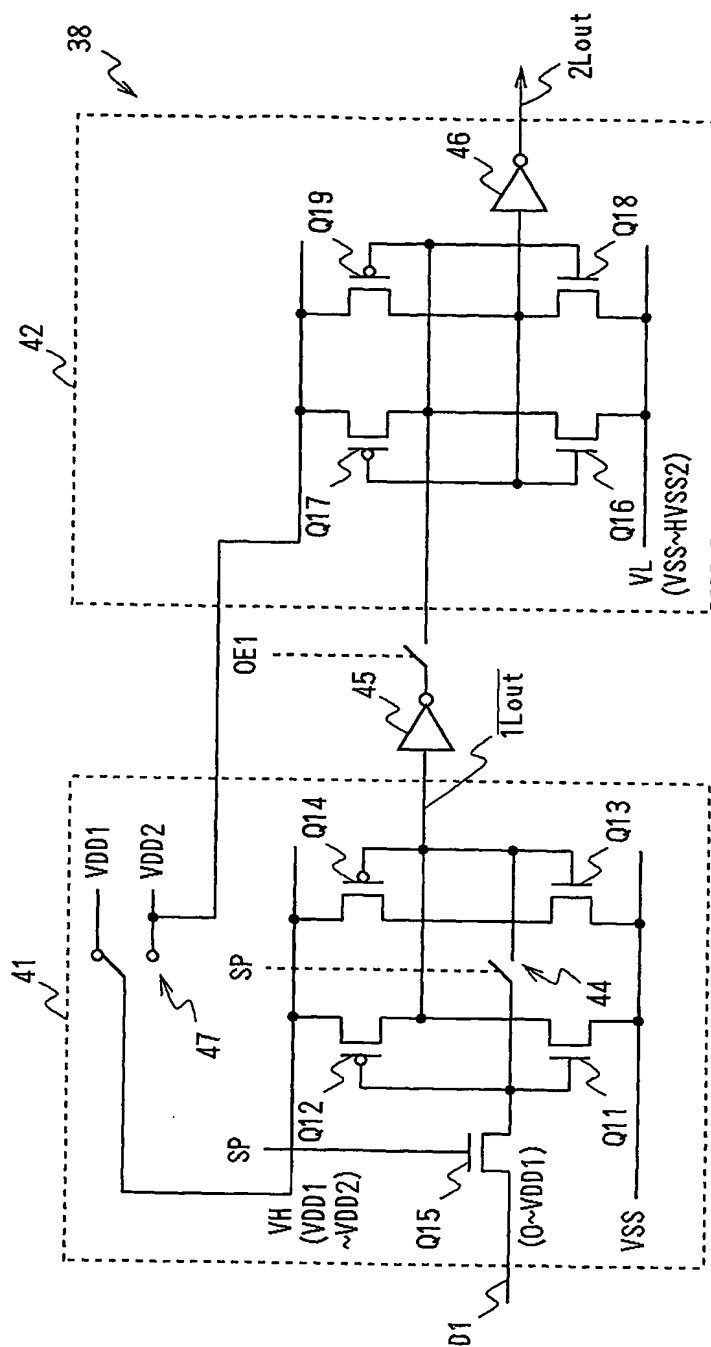


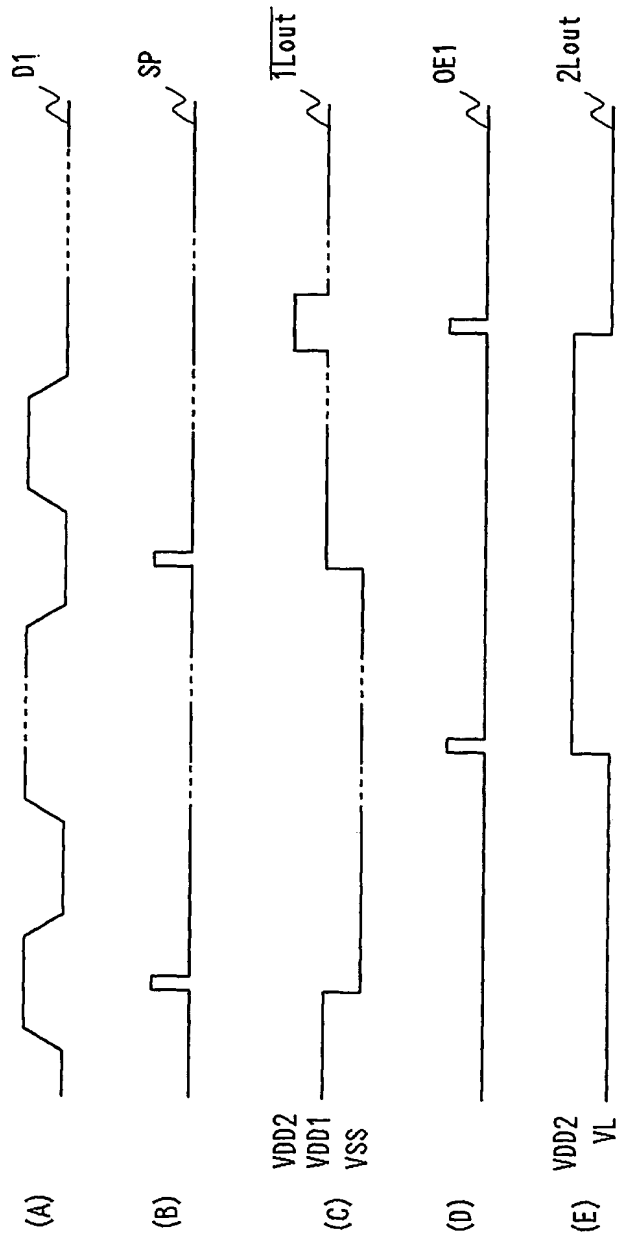
图 2 第



第3図



第4図



第5図

符号の説明

1 ……液晶表示装置、2 ……液晶セル、3、Q1～Q19 ……トランジスタ、4 ……表示部、5 ……水平駆動回路、6 ……垂直駆動回路、8、38 ……サンプリングラッチ回路、9 ……基準電圧セクタ、10 ……基準電圧発生回路、11 ……バッファ回路、21、41 ……第1ラッチ部、22、42 ……第2ラッチ部、24、25、45 ……転送スイッチ、26、46 ……インバータ、44、47 ……スイッチ回路